

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-195665

(43)Date of publication of application : 21.07.1999

(51)Int.Cl.

H01L 21/60

(21)Application number : 09-361140

(71)Applicant : FUJITSU LTD

(22)Date of filing : 26.12.1997

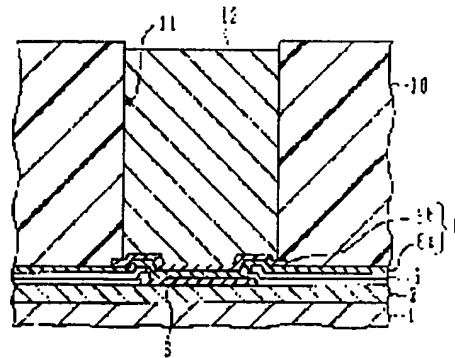
(72)Inventor : WATANABE EIJI  
MATSUKI HIROHISA  
KADO KENICHI  
NAGAE KENICHI  
ONODERA MASANORI  
KODAMA KUNIO  
YODA HIROYUKI  
FUJIMORI KUNIIJI  
NAKADA MINORU  
MAKINO YUTAKA

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To form bump electrodes at very short arranging pitch, by forming a base conductive film on an insulating film and pads formed on the surface of a substrate, a photoresist film made of a material having a specific value on the conductive film, and then, openings through the photoresist film, and then, depositing the bump electrodes on the base conductive film in the openings.

**SOLUTION:** After an insulating film 2 and pads 3 are formed on the surface of a silicon substrate 1 containing a semiconductor electronic circuit, a base conductive film 6 is formed on the surfaces of the insulating film 2 and pads 3 in such a way that the film 6 can be electrically connected to the electronic circuit. Then a photoresist film 10 having a thickness of  $\geq 50 \mu\text{m}$  is formed on the conductive film by applying the solution of such a photoresist material that the wavelength becomes  $436 \text{ nm}$  and the ultraviolet transmission becomes  $\geq 90\%$ , when the thickness of the material is  $200 \mu\text{m}$  to the surface of the conductive film 6, with the viscosity of the solution being adjusted to  $3,000\text{--}4,000 \text{ cPs}$ . Thereafter, openings 11 are formed through the photoresist film 10 at the positions corresponding to the pads 3 so as to expose the surface of the conductive film 6 and bump electrodes 12 composed of an Sn-Pb alloy are deposited on the film 6 by electroplating. Finally, the photoresist film 10 is removed.



BEST AVAILABLE COPY

### LEGAL STATUS

[Date of request for examination]

29.08.2002

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-195665

(43) 公開日 平成11年(1999) 7月21日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 21/60

識別記号

F I  
H 0 1 L 21/92

6 0 4 S  
6 0 4 B

審査請求 未請求 請求項の数30 O L (全 16 頁)

(21) 出願番号 特願平9-361140

(22) 出願日 平成9年(1997)12月26日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 渡辺 英二

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 松木 浩久

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

最終頁に続く

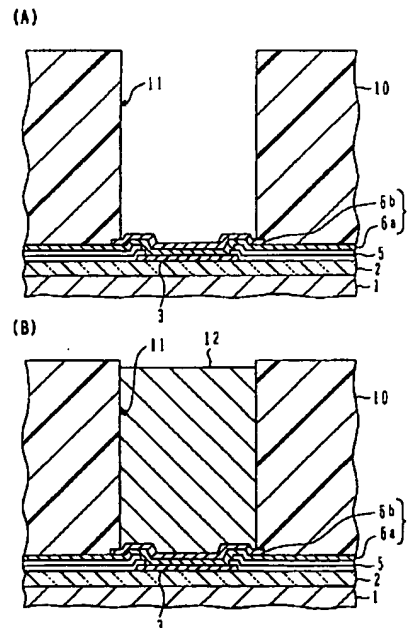
(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【要約】

【課題】 バンプ電極の配列ピッチの微細化に適した半導体装置の製造方法及び半導体装置を提供する。

【解決手段】 主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第1の絶縁膜で覆われている半導体基板を準備する。第1の絶縁膜及びパッドの上に、下地導電膜を形成する。下地導電膜の上に、厚さ50μm以上のフォトレジスト膜を形成する。フォトレジスト膜のパッドに対応する位置に、下地導電膜の表面を露出させる開口を形成する。開口の底面に露出した下地導電膜上に、導電性のバンプ電極を堆積する。フォトレジスト膜を除去する。

第1の実施例 (その2)



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第1の絶縁膜で覆われている半導体基板を準備する工程と、

前記第1の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、

前記下地導電膜の上に、粘度が3000～4000cpsのフォトレジスト原料液を塗布し、厚さが200μmのときの波長436nmにおける紫外線透過率が90%以上となる材料からなる厚さ50μm以上のフォトレジスト膜を形成する工程と、

前記フォトレジスト膜の前記パッドに対応する位置に、前記下地導電膜の表面を露出させる開口を形成する工程と、

前記開口の底面に露出した前記下地導電膜上に、導電性のバンプ電極を堆積する工程と、

前記フォトレジスト膜を除去する工程とを有する半導体装置の製造方法。

【請求項2】 前記バンプ電極を堆積する工程において、前記バンプ電極の上面が前記フォトレジスト膜の上面よりも低くなるように前記バンプ電極を堆積する請求項1に記載の半導体装置の製造方法。

【請求項3】 前記バンプ電極を堆積する工程において、前記バンプ電極が前記フォトレジスト膜の上面から突出し、その突出の高さが前記フォトレジスト膜の厚さよりも低い請求項1に記載の半導体装置の製造方法。

【請求項4】 前記フォトレジスト膜を除去する工程の後、さらに、前記バンプ電極を加熱して溶融させ、ほぼ球状にする工程を含む請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】 前記開口を形成する工程の後、さらに、前記フォトレジスト膜の表面の親水性を向上させる工程を含み、

前記バンプ電極を堆積する工程において、前記開口の底面に露出した前記下地導電膜表面をメッキすることにより、前記バンプ電極を堆積する請求項1～4のいずれかに記載の半導体装置の製造方法。

【請求項6】 前記親水性を向上させる工程において、前記フォトレジスト膜の表面を酸素プラズマによりアッシング処理する請求項5に記載の半導体装置の製造方法。

【請求項7】 前記親水性を向上させる工程において、前記半導体基板を有機溶剤に浸漬させる請求項5に記載の半導体装置の製造方法。

【請求項8】 前記開口を形成する工程の後、さらに、前記半導体基板を第1の液体中に浸漬させ、該第1の液体を減圧雰囲気下におく工程を含み、

前記バンプ電極を堆積する工程において、前記半導体基板を前記第1の液体中から取り出し、メッキ液中に浸漬させ、前記開口の底面に露出した前記下地導電膜表面を

メッキすることにより、導電性のバンプ電極を堆積し、前記第1の液体が、前記導電性のバンプ電極を堆積する工程におけるメッキ処理に悪影響を及ぼさない請求項1～4のいずれかに記載の半導体装置の製造方法。

【請求項9】 前記バンプ電極を堆積する工程が、前記半導体基板をメッキ液に浸漬させ、該メッキ液を減圧雰囲気下において、前記開口の底面に露出した前記下地導電膜表面をメッキする請求項1～4のいずれかに記載の半導体装置の製造方法。

【請求項10】 前記フォトレジスト膜を除去する工程において、前記半導体基板をレジスト除去液に浸漬させ、レジスト除去液を攪拌しながら前記フォトレジスト膜の除去を行う請求項1～9のいずれかに記載の半導体装置の製造方法。

【請求項11】 前記バンプ電極を堆積する工程において、第1の金属からなるバンプ下層部を堆積し、その上に前記第1の金属よりも低融点の第2の金属もしくは導電性樹脂からなるバンプ上層部を堆積する請求項1～10のいずれかに記載の半導体装置の製造方法。

【請求項12】 前記バンプ電極を堆積する工程において、第1の金属からなるバンプ下層部を堆積し、その上に前記第1の金属よりも酸化されにくい第2の金属からなるバンプ上層部を堆積する請求項1～10のいずれかに記載の半導体装置の製造方法。

【請求項13】 主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第1の絶縁膜で覆われている半導体基板を準備する工程と、前記第1の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、

前記下地導電膜の上に、フォトレジスト膜を形成する工程と、

前記フォトレジスト膜の前記パッドに対応する位置に、前記下地導電膜の表面を露出させる開口を形成する工程と、

前記半導体基板を電解メッキ液中に浸漬させ、前記開口の底面に露出した前記下地導電膜表面を電解メッキすることにより、導電性のバンプ電極を堆積する工程であって、堆積したバンプ電極の高さが高くなるに従い、電流密度を増加させてメッキを行う前記バンプ電極を堆積する工程と、

前記フォトレジスト膜を除去する工程とを有する半導体装置の製造方法。

【請求項14】 主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第1の絶縁膜で覆われている半導体基板を準備する工程と、前記第1の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、

前記下地導電膜の上に、フォトレジスト膜を形成する工程と、

前記フォトレジスト膜を選択的に露光して現像し、前記

パッドに対応する位置に、前記下地導電膜の表面を露出させる開口を形成する工程であって、該開口を形成する工程が、前記フォトレジスト膜を現像する際に、前記半導体基板を回転させながら前記フォトレジスト膜を現像液に晒して現像を行う第1のサブ工程と、その後回転速度を上げ、現像液により膨潤したフォトレジストを除去する第2のサブ工程とを繰り返し実行する前記開口を形成する工程と、

前記開口の底面に露出した前記下地導電膜上に、導電性のバンパ電極を堆積する工程と、

前記フォトレジスト膜を除去する工程とを有する半導体装置の製造方法。

【請求項15】 前記第2のサブ工程における前記半導体基板の回転数を、前回の第2のサブ工程における回転数よりも高くする請求項14に記載の半導体装置の製造方法。

【請求項16】 前記第2のサブ工程における前記半導体基板の回転数が、前記第1のサブ工程における回転数の2倍以上である請求項14または15に記載の半導体装置の製造方法。

【請求項17】 主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第1の絶縁膜で覆われている半導体基板を準備する工程と、前記第1の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、

前記下地導電膜の上に、フォトレジスト膜を形成する工程と、

前記フォトレジスト膜を選択的に露光して現像し、前記パッドに対応する位置に、前記下地導電膜の表面を露出させる開口を形成する工程であって、該開口を形成する工程が、前記フォトレジスト膜を現像する際に、前記半導体基板を回転させながら前記フォトレジスト膜を現像液に晒して現像を行う第1のサブ工程と、その後前記半導体基板表面にガスを吹き付けて、現像液により膨潤したフォトレジストを除去する第2のサブ工程とを繰り返し実行する前記開口を形成する工程と、

前記開口の底面に露出した前記下地導電膜上に、導電性のバンパ電極を堆積する工程と、

前記フォトレジスト膜を除去する工程とを有する半導体装置の製造方法。

【請求項18】 主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第1の絶縁膜で覆われている半導体基板を準備する工程と、前記第1の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、

前記下地導電膜の上に、フォトレジスト膜を形成する工程と、

前記フォトレジスト膜を選択的に露光して現像し、前記パッドに対応する位置に、前記下地導電膜の表面を露出させる開口を形成する工程であって、前記半導体基板を

現像する際に、前記半導体基板を現像液中に浸漬させ、現像液を攪拌しながら現像を行う前記開口を形成する工程と、

前記開口の底面に露出した前記下地導電膜上に、導電性のバンパ電極を堆積する工程と、

前記フォトレジスト膜を除去する工程とを有する半導体装置の製造方法。

【請求項19】 主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第1の絶縁膜で覆われている半導体基板を準備する工程と、

前記第1の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、

前記下地導電膜の上に、第1のフォトレジスト膜を形成する工程と、

前記第1のフォトレジスト膜を選択的に露光して現像し、前記パッドに対応する位置から、基板面内のバンパ電極を形成すべき位置まで延在する第1の開口を形成する工程と、

前記第1の開口の底面に露出した前記下地導電膜上に導電性部材をメッキすることにより、配線を形成する工程と、

前記第1のフォトレジスト膜を除去し、前記下地導電膜及び前記配線上に厚さ50 $\mu$ m以上の第2のフォトレジスト膜を形成する工程と、

前記第2のフォトレジスト膜を選択的に露光して現像し、前記バンパ電極を形成すべき領域に第2の開口を形成する工程と、

前記第2の開口の底面に露出した前記配線の上に、導電性のバンパ電極を堆積する工程と、

前記第2のフォトレジスト膜を除去する工程とを有する半導体装置の製造方法。

【請求項20】 前記バンパ電極を堆積する工程において、前記バンパ電極の上面が前記フォトレジスト膜の上面よりも低くなるように前記バンパ電極を堆積する請求項19に記載の半導体装置の製造方法。

【請求項21】 前記第2のフォトレジストを形成する工程において、粘度が3000～4000cpsのフォトレジスト原料液を基板表面上に塗布し、厚さが200 $\mu$ mのときの波長436nmにおける紫外線透過率が90%以上となる材料で前記フォトレジスト膜が形成されている請求項19または20に記載の半導体装置の製造方法。

【請求項22】 前記バンパ電極を堆積する工程において、第1の金属からなるバンパ下層部を堆積し、その上に前記第1の金属よりも低融点の第2の金属からなるバンパ上層部を堆積する請求項19～21のいずれかに記載の半導体装置の製造方法。

【請求項23】 前記バンパ電極を堆積する工程において、第1の金属からなるバンパ下層部を堆積し、その上に前記第1の金属よりも酸化されにくい第2の金属から

なるバンプ上層部を堆積する請求項 19～21 のいずれかに記載の半導体装置の製造方法。

【請求項 24】 前記バンプ電極を堆積する工程において、前記バンプ下層部を堆積した後、前記バンプ上層部を堆積する前に、半田に対して前記バンプ上層部よりも高い拡散バリア性を持つ第 3 の金属からなるバンプ中層部を堆積する請求項 23 に記載の半導体装置の製造方法。

【請求項 25】 前記第 2 のフォトリソ膜を除去する工程の後、さらに、前記下地導電膜のうち前記配線で覆われていない部分を除去する工程と、  
前記半導体基板の表面のうち、前記バンプ電極が形成されていない領域を覆う第 2 の絶縁膜を、該第 2 の絶縁膜が前記バンプ電極の頭頂部を除く領域の少なくとも一部に接触するように形成する工程とを含む請求項 20～24 のいずれかに記載の半導体装置の製造方法。

【請求項 26】 主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第 1 の絶縁膜で覆われている半導体基板を準備する工程と、  
前記第 1 の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、  
前記下地導電膜の上に、第 1 のフォトリソ膜を形成する工程と、

前記第 1 のフォトリソ膜を選択的に露光して現象し、前記パッドに対応する位置から、基板面内のバンプ電極を形成すべき位置及びブロー用パッドを形成すべき位置まで延在する第 1 の開口を形成する工程と、  
前記第 1 の開口の底面に露出した前記下地導電膜上に導電性部材をメッキすることにより、配線を形成する工程と、

前記第 1 のフォトリソ膜を除去し、前記配線で覆われていない領域の前記下地導電膜を除去する工程と、  
前記半導体基板上に、前記配線を覆うように、前記バンプ電極を形成すべき領域及び前記ブロー用パッドを形成すべき領域にそれぞれ第 2 及び第 3 の開口を有する第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜の表面及び前記第 2 及び第 3 の開口の内面を覆うように、他の下地導電膜を堆積する工程と、  
前記他の下地導電膜の上に、第 2 のフォトリソ膜を形成する工程と、

前記第 2 のフォトリソ膜を選択的に露光して現象し、前記第 2 の開口に対応する位置に第 4 の開口を形成する工程と、

前記第 4 の開口の底面に露出した前記他の下地導電膜の上に、導電性のバンプ電極を堆積する工程と、

前記第 2 のフォトリソ膜を除去する工程と、

前記バンプ電極で覆われていない領域の前記他の下地導電膜を除去し、前記ブロー用パッドを形成すべき領域の前記第 3 の開口の底面に前記配線を露出させる工程とを有する半導体装置の製造方法。

【請求項 27】 第 2 のフォトリソ膜を形成する工程において、該第 2 のフォトリソ膜を、その厚さが 50 μm 以上となるように形成する請求項 26 に記載の半導体装置の製造方法。

【請求項 28】 前記配線を形成する工程において、前記第 1 の開口の底面に露出した前記下地導電膜の上に、Cu をメッキにより堆積し、その後 Pd、Ni、Au、及びこれらの合金からなる群より選ばれた 1 つの金属をメッキにより堆積し、

前記バンプ電極を堆積する工程において、Pb と Sn を含む合金からなる前記バンプ電極を堆積し、  
前記他の下地導電膜を除去する工程の後、前記半導体基板を加熱し、前記バンプ電極をほぼ球状にする請求項 26 または 27 に記載の半導体装置の製造方法。

【請求項 29】 主表面を有する半導体基板と、  
前記半導体基板の主表面の一部の領域上に形成され、導電性材料からなるパッドと、  
前記半導体基板の主表面のうち、前記パッドで覆われていない領域を被覆する第 1 の絶縁膜と、

前記半導体基板の主表面上に形成され、前記パッドに電気的に接続された配線と、

前記配線の表面のうち、前記パッドに接触している領域とは異なる領域上に形成されたバンプ電極と、

前記配線を覆うように形成された第 2 の絶縁膜と、  
前記第 2 の絶縁膜に形成された開口であって、該開口の底面に前記配線の表面のうち、前記パッド及び前記バンプ電極の形成されていない領域のうち一部を露出させる前記開口とを有する半導体装置。

【請求項 30】 前記配線が、複層構造を有し、最上層が、Pd、Ni、Au、及びこれらの合金からなる群より選ばれた 1 つの金属で形成されており、前記バンプ電極が、Sn Pb 合金で形成されている請求項 29 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法及び半導体装置に関し、特にフリップチップボンディングに適したバンプ電極を有する半導体装置の製造方法及び半導体装置に関する。

【0002】近年、半導体集積回路装置の高集積化、多機能化が進み、集積回路装置と外部装置との接続用電極数が増加している。一方、小型化の要求もますます進んでおり、バンプ電極を用いたいわゆるフリップチップボンディングにより実装される場合が増加している。

【0003】

【従来の技術】図 11 を参照して、従来例によるバンプ電極の形成方法を説明する。

【0004】図 11 (A) に示すように、半導体基板 200 の表面上に絶縁膜 201 が形成され、その一部の領域上にアルミニウム (Al) からなるパッド 202 が形

成されている。絶縁膜202の他の領域は絶縁膜203で覆われている。パッド202及び絶縁膜203の上に、基板全面を覆う金属膜204が形成されている。

【0005】金属膜204の上に厚さ数ミクロンのフォトレジスト膜205を塗布し、フォトレジスト膜205のパッド202に対応する領域に開口205aを形成する。電解メッキにより、開口205aの底面に露出した金属膜204の表面上に、SnPb合金からなるパンプ部材206を堆積する。パンプ電極206は、開口205a内を埋め尽くした後、開口205aの端部からフォ

トレジスト膜205の表面上にはみ出し、きのこ型になる。

【0006】その後、フォトレジスト膜205を除去し、パンプ電極206で覆われていない領域の金属膜204を、エッチングして除去する。

【0007】図11(B)に示すように、基板を加熱してリフロー処理を行う。きのこ型のパンプ部材206が、ほぼ球状になる。このようにして、パッド202上にパンプ電極206が形成される。

【0008】

【発明が解決しようとする課題】図11に示す従来例では、メッキによりパンプ電極を堆積するときに、図11(A)に示すように、パンプ電極206がきのこ型になりパッド202を中心としてその周囲に広がる。このため、パッド202の配列ピッチが微細になった場合に、相互に隣接するパンプ電極同士が接触しやすくなる。また、図11(B)に示すほぼ球状のパンプ電極206の高さを、均一に揃えることが困難である。

【0009】転写法を用いて、パッド部分に半田ボールを形成する方法も知られているが、この方法でも、パ

ッドの配列ピッチの微細化に対応することが困難である。

【0010】本発明の目的は、パンプ電極の配列ピッチの微細化に適した半導体装置の製造方法及び半導体装置を提供することである。

【0011】

【課題を解決するための手段】本発明の一観点によると、主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第1の絶縁膜で覆われている半導体基板を準備する工程と、前記第1の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、前記下地導電膜の上に、粘度が3000~4000cpsのフォトレジスト原料液を塗布し、厚さが200μmのときの波長436nmにおける紫外線透過率が90%以上となる材料からなる厚さ50μm以上のフォトレジスト膜を形成する工程と、前記フォトレジスト膜の前記パッドに対応する位置に、前記下地導電膜の表面を露出させる開口を形成する工程と、前記開口の底面に露出した前記下地導電膜上に、導電性のパンプ電極を堆積する工程と、前記フォトレジスト膜を除去する工程とを有する半導体装置の製造方法が提供される。

【0012】フォトレジスト膜の厚さを50μm以上としているため、このフォトレジスト膜に設けた開口内にパンプ電極を堆積し、高さ50μm程度のパンプ電極を形成することができる。開口からはみ出すことなくパンプ電極を堆積することができるため、微細なピッチで配列したパッド上に、再現性よくパンプ電極を形成することができる。

【0013】本発明の他の観点によると、主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第1の絶縁膜で覆われている半導体基板を準備する工程と、前記第1の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、前記下地導電膜の上に、フォトレジスト膜を形成する工程と、前記フォトレジスト膜の前記パッドに対応する位置に、前記下地導電膜の表面を露出させる開口を形成する工程と、前記半導体基板を電解メッキ液中に浸漬させ、前記開口の底面に露出した前記下地導電膜表面を電解メッキすることにより、導電性のパンプ電極を堆積する工程であって、堆積したパンプ電極の高さが高くなるに従い、電流密度を増加させてメッキを行う前記パンプ電極を堆積する工程と、前記フォトレジスト膜を除去する工程とを有する半導体装置の製造方法が提供される。

【0014】開口のアスペクト比が高いときには、メッキされる金属イオンが開口の底部まで輸送されにくい。このため、電流密度を少なめに設定しておき、メッキ速度を遅くしておくことが好ましい。メッキが進み、開口が浅くなると、金属イオンが開口の底部まで輸送されやすくなるため、電流密度を増加させ、メッキ速度を速くすることができる。

【0015】本発明の他の観点によると、主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第1の絶縁膜で覆われている半導体基板を準備する工程と、前記第1の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、前記下地導電膜の上に、フォトレジスト膜を形成する工程と、前記フォトレジスト膜を選択的に露光して現像し、前記パッドに対応する位置に、前記下地導電膜の表面を露出させる開口を形成する工程であって、該開口を形成する工程が、前記フォトレジスト膜を現像する際に、前記半導体基板を回転させながら前記フォトレジスト膜を現像液に晒して現像を行う第1のサブ工程と、その後回転速度を上げ、現像液により膨潤したフォトレジストを除去する第2のサブ工程とを繰り返して実行する前記開口を形成する工程と、前記開口の底面に露出した前記下地導電膜上に、導電性のパンプ電極を堆積する工程と、前記フォトレジスト膜を除去する工程とを有する半導体装置の製造方法が提供される。

【0016】フォトレジスト膜が厚く、現像すべき部分のアスペクト比が高い場合には、現像液により膨潤したフォトレジストが、現像された部分の底部に滞留しやす

い。現像後、基板の回転速度を上げることにより、滞留したフォトリソ膜を除去し、現像を進めることができる。

【0017】本発明の他の観点によると、主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第1の絶縁膜で覆われている半導体基板を準備する工程と、前記第1の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、前記下地導電膜の上に、フォトリソ膜を形成する工程と、前記フォトリソ膜を選択的に露光して現像し、前記パッドに対応する位置に、前記下地導電膜の表面を露出させる開口を形成する工程であって、該開口を形成する工程が、前記フォトリソ膜を現像する際に、前記半導体基板を回転させながら前記フォトリソ膜を現像液に晒して現像を行う第1のサブ工程と、その後前記半導体基板表面にガスを吹き付けて、現像液により膨潤したフォトリソ膜を除去する第2のサブ工程とを繰り返し実行する前記開口を形成する工程と、前記開口の底面に露出した前記下地導電膜上に、導電性のバンプ電極を堆積する工程と、前記フォトリソ膜を除去する工程とを有する半導体装置の製造方法が提供される。

【0018】ガスの吹き付けにより、膨潤したフォトリソ膜を除去し、現像を進めることができる。

【0019】本発明の他の観点によると、主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第1の絶縁膜で覆われている半導体基板を準備する工程と、前記第1の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、前記下地導電膜の上に、フォトリソ膜を形成する工程と、前記フォトリソ膜を選択的に露光して現像し、前記パッドに対応する位置に、前記下地導電膜の表面を露出させる開口を形成する工程であって、前記半導体基板を現像する際に、前記半導体基板を現像液中に浸漬させ、現像液を攪拌しながら現像を行う前記開口を形成する工程と、前記開口の底面に露出した前記下地導電膜上に、導電性のバンプ電極を堆積する工程と、前記フォトリソ膜を除去する工程とを有する半導体装置の製造方法が提供される。

【0020】現像液を攪拌することにより、膨潤したフォトリソ膜を除去し、現像を進めることができる。

【0021】本発明の他の観点によると、主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第1の絶縁膜で覆われている半導体基板を準備する工程と、前記第1の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、前記下地導電膜の上に、第1のフォトリソ膜を形成する工程と、前記第1のフォトリソ膜を選択的に露光して現像し、前記パッドに対応する位置から、基板面内のバンプ電極を形成すべき位置まで延在する第1の開口を形成する工程と、前記第1の開口の底面に露出した前記下地導電膜上に

に導電性部材をメッキすることにより、配線を形成する工程と、前記第1のフォトリソ膜を除去し、前記下地導電膜及び前記配線上に厚さ50μm以上の第2のフォトリソ膜を形成する工程と、前記第2のフォトリソ膜を選択的に露光して現像し、前記第2の開口に対応する位置に第4の開口を形成する工程と、前記第4の開口の底面に露出した前記配線の上に、導電性のバンプ電極を堆積する工程と、前記第2のフォトリソ膜を除去する工程とを有する半導体装置の製造方法が提供される。

【0022】パッドから配線を引出し、パッドとは異なる位置にバンプ電極を形成することができる。例えば、ワイヤボンディング用に配置されたパッドを有する半導体チップに、フリップチップボンディング用のバンプ電極を、チップ内にほぼ一様に分散配置することができる。

【0023】本発明の他の観点によると、主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第1の絶縁膜で覆われている半導体基板を準備する工程と、前記第1の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、前記下地導電膜の上に、第1のフォトリソ膜を形成する工程と、前記第1のフォトリソ膜を選択的に露光して現像し、前記パッドに対応する位置から、基板面内のバンプ電極を形成すべき位置及びブロー用パッドを形成すべき位置まで延在する第1の開口を形成する工程と、前記第1の開口の底面に露出した前記下地導電膜上に導電性部材をメッキすることにより、配線を形成する工程と、前記第1のフォトリソ膜を除去し、前記配線で覆われていない領域の前記下地導電膜を除去する工程と、前記半導体基板上に、前記配線を覆うように、前記バンプ電極を形成すべき領域及び前記ブロー用パッドを形成すべき領域にそれぞれ第2及び第3の開口を有する絶縁膜を形成する工程と、前記絶縁膜の表面及び前記第2及び第3の開口の内面を覆うように、他の下地導電膜を堆積する工程と、前記他の下地導電膜の上に、第2のフォトリソ膜を形成する工程と、前記第2のフォトリソ膜を選択的に露光して現像し、前記バンプ電極を形成すべき領域に第2の開口を形成する工程と、前記第2の開口の底面に露出した前記他の下地導電膜の上に、導電性のバンプ電極を堆積する工程と、前記第2のフォトリソ膜を除去する工程と、前記バンプ電極で覆われていない領域の前記他の下地導電膜を除去し、前記ブロー用パッドを形成すべき領域の前記第3の開口の底面に前記配線を露出させる工程とを有する半導体装置の製造方法が提供される。

【0024】バンプ電極がSnPb半田で形成されている場合に、ブローをバンプ電極に接触させると、ブローの先端が汚れる。このため、バンプ電極にブローを接触させることは好ましくない。ブロー用パッドを

設けることにより、パンプ電極にプローブを接触させることなく検査を行うことができる。

【0025】本発明の他の観点によると、主表面を有する半導体基板と、前記半導体基板の主表面の一部の領域上に形成され、導電性材料からなるパッドと、前記半導体基板の主表面のうち、前記パッドで覆われていない領域を被覆する第1の絶縁膜と、前記半導体基板の主表面上に形成され、前記パッドに電氣的に接続された配線と、前記配線の表面のうち、前記パッドに接触している領域とは異なる領域上に形成されたパンプ電極と、前記配線を覆うように形成された第2の絶縁膜と、前記第2の絶縁膜に形成された開口であって、該開口の底面に前記配線の表面のうち、前記パッド及び前記パンプ電極の形成されていない領域のうち一部を露出させる前記開口とを有する半導体装置が提供される。

【0026】開口の底面に露出した配線の表面にプローブを接触させ、検査を行うことができる。

【0027】

【発明の実施の形態】図1～図3を参照して、本発明の第1の実施例による半導体装置の製造方法について説明する。

【0028】図1(A)に示すように、シリコン基板1の表面に、MOSトランジスタ4等の半導体素子を含む電子回路が形成されており、これら半導体素子を覆うように、例えばSiO<sub>2</sub>からなる絶縁膜2が形成されている。図1(B)以降の図面では、半導体素子4の記載を省略する。絶縁膜2の一部の領域上に、例えばAlからなるパッド3が形成されている。パッド3は、シリコン基板1の表面に形成された電子回路に電氣的に接続されている。図1(A)では、1つのパッドを代表して表しているが、実際には、複数のパッド3がピッチ150μmで配列している。なお、パッド3を、Ti、Cu等を微量添加したAl合金、Cu若しくはCuを主原料とした合金、またはAu等で形成してもよい。

【0029】絶縁膜2の表面のうち、パッド3により覆われていない領域は、カバー膜5で覆われている。カバー膜5は、例えば下層のフォスフォシリケートガラス(PSG)膜と上層のポリイミド膜との2層構造を有する。

【0030】このように準備された基板の表面上に、下地導電膜6を形成する。下地導電膜6は、基板全面を覆う厚さ200～500nmのTi膜6aと、Ti膜6aの表面のうちパッド3に対応する領域を覆う厚さ200～500nmのNi膜6bにより構成される。Ti膜6aは、例えばTiターゲットをAr雰囲気中でスパッタすることにより堆積される。Ni膜6bは、例えばNiターゲットをAr雰囲気中でスパッタすることにより堆積される。Ni膜のバターンニングは、例えばHNO<sub>3</sub>の希釈液を用いたウェットエッチングにより行う。

【0031】下地導電膜6は、後述する電解メッキ工程

において陰極として作用する。Ti膜6aは、下地表面とNi膜6bとの密着性を高める。Ni膜6bは、その上にメッキされる金属とTi膜6aとの密着性を高める。

【0032】なお、図1(A)では、既にバターンニングされたNi膜6bを形成している場合を示しているが、Ni膜を基板全面に残しておき、電解メッキ後に、不要なNi膜を除去してもよい。本実施例のように、電解メッキ前にNi膜をバターンニングしてNi膜6bを形成しておく、電解メッキ後のNi膜のバターンニングが不要になる。

【0033】図1(B)に示すように、基板上に、厚さ約150μmのフォトレジスト膜10を形成する。フォトレジスト膜10として、例えば、アクリル系樹脂をベースとし、多官能アクリレート化合物を架橋剤とした高分子材料を用いることができる。実施例で用いたフォトレジスト膜10は、厚さを140μmとしたときの、波長436nmの紫外光に対する透過率がほぼ100%のものである。以下、フォトレジスト膜10の形成方法について説明する。

【0034】まず、粘度3800cpsのフォトレジスト原料液を、室温にて、回転数1000rpm、塗布時間10秒の条件で基板表面にスピン塗布する。温度100℃で6分間の中間キュアを行うことにより、厚さ75μmのフォトレジスト膜が得られる。再度、同一条件でフォトレジスト原料液をスピン塗布し、温度100度で20分間のキュアを行う。2回のスピン塗布により、厚さ約150μmのフォトレジスト膜10が得られる。

【0035】フォトレジスト原料液の粘度が低すぎると、厚い膜を得ることが困難になる。基板の回転数を下げれば厚い膜が得られるが、均一な膜厚とすることが困難になる。逆に、フォトレジスト原料液の粘度が高すぎると、液中に気泡が入りやすくなり、取扱いに不便である。このため、フォトレジスト原料液として、粘度3000～4000cpsのものをを用いることが好ましい。

【0036】また、厚いフォトレジスト膜を紫外光で十分露光するためには、例えば、フォトレジスト膜の厚さが200μmのときの波長436nmにおける光透過率が90%以上となるようなレジスト材料を用いることが好ましい。

【0037】図2(A)に示すように、フォトレジスト膜10の、パッド3に対応する領域に、直径54μmの開口11を形成する。すなわち、開口3のアスペクト比は、約2.8である。以下、開口11の形成方法を説明する。

【0038】波長436nmの紫外光を用いて、フォトレジスト膜10を選択的に露光する。基板をスピナで回転させながら、フォトレジスト膜10の表面にテトラメチルアンモニウムハイドロオキサイド(TMAH)系の専用現像液を30℃に加熱し、霧状にして吹き付ける。



フォトレジスト膜10が現像され、開口11が形成される。なお、現像液の温度を23～70℃の範囲とした場合に、良好な現像を行えることが確認できた。

【0039】フォトレジスト膜10の厚さが約150μmと厚いため、現像により形成された開口部が深くなると、現像液により膨潤したフォトレジストが開口部内に滞留し、現像されにくくなる。膨潤したフォトレジストの滞留を防止するために、基板を比較的低速で回転させながら現像を行う第1のサブ工程と、回転数を上げて滞留したフォトレジストを遠心力で除去する第2のサブ工程とを繰り返し行うことが好ましい。例えば、第1のサブ工程では、回転数を約100rpmとし、第2のサブ工程では、回転数を200～1000rpmとする。

【0040】開口の深さが深くなるに従って、滞留したフォトレジストが除去されにくくなる。このため、第2のサブ工程における回転数を、前回の第2のサブ工程における回転数よりも高くすることが好ましい。なお、滞留したフォトレジストを効率的に除去するためには、第2のサブ工程における回転数を、第1のサブ工程における回転数の2倍以上とすることが好ましい。

【0041】また、第2のサブ工程で回転数を上げる代わりに、基板表面にガスを吹き付けて、膨潤したフォトレジストを除去してもよい。なお、回転数の上昇とガスの吹き付けの両方を行ってもよい。

【0042】また、現像液を霧状にして吹き付ける代わりに、基板を現像液中に浸漬させ、現像液を攪拌してもよい。現像液を攪拌することにより、膨潤し開口内に滞留したフォトレジストを開口外に排出することができ

【0043】図2(B)に示すように、開口11の底面に露出した下地導電膜6の上に、SnPb合金からなる厚さ約140μmのバンプ電極12を堆積する。バンプ電極12の堆積は、例えば、アルキルスルホン酸ベースのSnPb共晶メッキ液を用いた電解メッキにより行う。このとき、下地導電膜6が陰極として作用する。

【0044】なお、電解メッキ液中に基板を浸漬させる前に、フォトレジスト膜10の表面の親水性を向上させる処理を行うことが好ましい。親水性を向上させることにより、基板をメッキ液中に浸漬させるときの開口11内への気泡の取り込みを抑制することができる。

【0045】親水性を向上させる処理として、例えば、酸素プラズマ中でフォトレジスト膜10の表面をアッシングしても良いし、イソプロピルアルコール等の有機溶剤に浸漬させてもよい。

【0046】また、開口11を形成した後に、基板を、電解メッキ処理に悪影響を及ぼさない液体中に浸漬させ、減圧雰囲気下においてもよい。例えば、2～3分間、圧力200～300Torrの減圧雰囲気下におき、その後大気圧に戻す。減圧雰囲気下におくことにより、開口11内に残留している気泡を効果的に開口11

外に排出することができる。電解メッキに悪影響を及ぼさない液体として、例えば純水、電解メッキ液が挙げられる。効果的に気泡を除去するためには、減圧雰囲気の圧力を300Torr以下とすることが好ましい。予め、開口11内を湿らせておくことにより、電解メッキ液中に浸漬するときの気泡の発生を抑制することができる。

【0047】また、電解メッキを行っている期間、電解メッキ液を減圧雰囲気下においてもよい。

【0048】開口11が深い場合には、開口11の深い領域にPbイオンやSnイオンが輸送され難い。このため、開口11の深い領域の金属イオン濃度が薄くなり、メッキの効率が低下する。低下した金属イオン濃度を回復させるために、ある期間ごとに通電を停止してもよいし、ある間隔をおいて断続的に逆向きの電圧を印加してもよい。例えば、3～4分間通電し、20秒間通電を停止してもよい。また、順方向の電圧を5秒間印加し、逆方向の電圧を0.1秒間印加してもよい。

【0049】バンプ電極12の堆積が進み、開口11が浅くなると、メッキ箇所へ金属イオンが輸送され易くなる。このため、電解メッキを開始した当初は電流密度を比較的低くしてバンプ電極12の堆積速度を遅くし、ある程度バンプ電極12が堆積して開口11が浅くなると、電流密度を高くしてバンプ電極12の堆積速度を速くしてもよい。例えば、電解メッキ当初の電流密度を2A/dm<sup>2</sup>とし、徐々に電流密度を増加させ、最終的に電流密度を8A/dm<sup>2</sup>としてもよい。

【0050】電解メッキを行っている期間中は、陰極表面で水素ガスが発生する。電解メッキ中に、ある期間ごとに通電を停止したり、ある間隔をおいて断続的に逆向きの電圧を印加することにより、水素ガスによる気泡の滞留を防止することができる。

【0051】本実施例では、開口11のアスペクト比を約2.8としたが、アスペクト比を、より大きくしてもよい。ただし、バンプ電極12で開口11内を再現性よく埋め込むためには、開口11のアスペクト比を5以下とすることが好ましい。

【0052】バンプ電極12を堆積した後、基板を温度約80℃のレジスト剥離液に浸漬させ、窒素ガスでバブリングしながらフォトレジスト膜10を除去する。なお、レジスト剥離液の温度を、室温～120℃としてもよい。また、厚いフォトレジスト膜10の除去を容易に行うために、レジスト除去液を攪拌してもよい。

【0053】フォトレジスト膜10を除去した後、バンプ電極12で覆われていない領域の下地導電膜6を除去する。Ti膜6aのエッチングは、例えば過酸化水素と水酸化アンモニウムとの混合液を用いて行うことができる。Ni膜6bは予めバターニングされているため、この段階でエッチングする必要はない。

【0054】その後、半導体装置1を、チップ単体に切

断する。チップ表面にフラックスを塗布し、温度250℃程度まで加熱し、パンプ電極12をリフローさせる。  
【0055】図3は、リフロー後のパンプ部分の断面図を示す。高さ約70μmのほぼ球状のパンプ電極12が得られた。

【0056】上記第1の実施例では、図2(B)に示すように、パンプ電極12を堆積した状態で、パンプ電極12が開口11内に収まり、その周囲にはみ出さない。このため、パッド3の配列ピッチが狭い場合にも、相互に隣接するパンプ電極の接触を防止できる。

【0057】上記第1の実施例では、図2(B)のフォトレジスト膜10の厚さを150μmとした場合を説明した。フォトレジスト膜10の厚さは、パンプ電極12の必要とされる体積、パッド3の配列ピッチ等により選択される。十分な量のパンプ電極12を堆積するためには、フォトレジスト膜10の厚さを50μm以上とすることが好ましい。

【0058】上記第1の実施例では、パンプ電極としてSnPb合金を用いた場合を説明した。その材料として、例えば、Sn、Pb、Snを主成分とした合金が挙げられる。また、パンプ電極として、これらの金属よりも融点の高いAu、Pd、Ni、Cuを用いてもよい。高融点の金属を使用する場合には、図3で示したリフロー処理を行わず、ほぼ円柱状のパンプ電極が得られる。また、これらの金属膜を積層してもよい。

【0059】図4(A)は、パンプ電極12を、NiやCuからなるパンプ下層部12aと、AuやPdからなるパンプ上層部12bで構成した場合を示す。パンプ電極12の上層部が、下層部よりも酸化されにくい金属で形成されているため、フリップチップボンディングする時の接触不良の発生を抑制することができる。

【0060】図4(B)は、パンプ電極12を、Au、Pd、Ni、Cu等の融点の高い金属からなるパンプ下層部12aと、Sn、Pb、SnPb合金、Snを主成分とした合金等からなるパンプ上層部12cで構成した場合を示す。パンプ上層部12cのみをリフローさせて、その表面を凸面状にしている。

【0061】このパンプ電極12を用いてフリップチップボンディングすると、パンプ電極12の先端部のみが横方向にはみ出す。図3に示すほぼ球状のパンプ電極を用いる場合に比べて、横方向へのはみ出し量を少なくすることができる。

【0062】上記第1の実施例では、パンプ電極を電解メッキにより堆積する場合を説明したが、その他の方法で堆積してもよい。例えば、無電解メッキによりNiまたはCu等を堆積してもよい。

【0063】次に、図5を参照して、第1の実施例の他の変形例による半導体装置の製造方法について説明する。

【0064】図5は、第1の実施例の図2(B)の状態

に対応する断面図を示す。図2(B)では、パンプ電極12の厚さが、フォトレジスト膜10の厚さよりも薄い場合を示した。すなわち、パンプ電極12の上面がフォトレジスト膜10の上面よりも低くなっている。これに対し、図5では、パンプ電極12dがフォトレジスト膜10の上面から突出している。このようにパンプ電極12dの上端をフォトレジスト膜10の上面から突出させると、開口11のアクベクト比を大きくすることなく、1つのパッド3上に、より大きな体積のパンプ電極12dを堆積することができる。

【0065】なお、相互に隣接するパンプ電極間の接触を回避するために、パンプ電極12dの突出の高さを、フォトレジスト膜10の厚さよりも低くすることが好ましい。

【0066】次に、図6及び図7を参照して、第2の実施例による半導体装置の製造方法について説明する。

【0067】図6は、第2の実施例により作製される半導体チップの概略平面図を示す。半導体チップ30の周縁部に沿って、複数のパッド31が配列している。パッド31は、ワイヤボンディングによる実装を行うためのものである。チップ内にはほぼ一様にパンプ電極32が分布している。各パンプ電極32は、配線33により、対応するパッド31に電気的に接続されている。

【0068】上記第1の実施例による方法では、パッド31が配置されている位置にパンプ電極が形成される。パッド31が、チップ内にはほぼ一様に分散して配置されている場合には、パンプ電極もチップ内にはほぼ一様に分散される。しかし、図6に示すようなワイヤボンディング用のチップを、そのままフリップチップボンディング用として使用しようとすると、パンプ電極がチップの周縁部にのみ配置されることになる。

【0069】チップの周縁部でのみボンディングすると、応力が周縁部に集中し、信頼性低下の要因になる。図6に示すように、パンプ電極32をチップ内にはほぼ一様に分散させることにより、応力の集中を緩和し、信頼性を高めることができる。

【0070】次に、図7を参照して、第2の実施例による半導体装置の製造方法について説明する。

【0071】図7(A)に示すように、シリコン基板40の表面上に、例えばSiO<sub>2</sub>からなる絶縁膜41が形成されている。なお、シリコン基板40の表面には、図1(A)に示すMOSトランジスタ4と同様に、半導体素子が形成されている。絶縁膜41の一部の領域上に、例えばA1からなるパッド42が形成されている。パッド42は、シリコン基板40の表面に形成された半導体素子に電気的に接続されている。図7(A)では、1つのパッドを代表して表しているが、実際には、図6に示すように、複数のパッドが半導体チップの周縁部に沿って、ピッチ150μmで配列している。

【0072】絶縁膜41の表面のうち、パッド42に覆

われていない領域は、カバー膜43で覆われている。カバー膜43は、例えば下層のフォスフォリケートガラス(PSG)膜と上層のポリイミド膜との2層構造を有する。

【0073】このように準備された基板の表面上に、下地導電膜44を形成する。下地導電膜44は、厚さ150nmのCr膜と、その上の厚さ1000nmのCu膜の2層構造を有する。Cr膜及びCu膜は、それぞれ例えばCrターゲット及びCuターゲットをAr雰囲気中でスパッタすることにより堆積される。

【0074】下地導電膜44は、後述する電解メッキ工程において陰極として作用する。Cr膜は、下地表面とCu膜との密着性を高める。Cu膜は、その上にメッキされる金属とCr膜との密着性を高める。

【0075】下地導電膜44の上に、厚さ約5μmのフォトレジスト膜45を形成する。フォトレジスト膜45に、パッド42が配置された領域から、それに対応するパンプ電極が形成されるべき領域まで延在する開口46を形成する。開口46の底面に、下地導電膜44の一部が露出する。

【0076】開口46の底面に露出した下地導電膜44の上に、電解メッキによりCuからなる厚さ約4μmの配線47を堆積する。配線47の堆積後、フォトレジスト膜45を除去する。

【0077】図7(B)に示すように、基板上に厚さ約110μmのフォトレジスト膜50を形成する。フォトレジスト膜50の形成は、図1(B)のフォトレジスト10と同様の方法で行う。フォトレジスト膜50の、パンプ電極を形成すべき領域に開口51を形成する。開口51の底面に、配線47の一部が露出する。開口51の形成は、図2(A)に示す開口11の形成と同様の方法で行う。

【0078】開口51の底面に露出した配線47の上に、電解メッキにより、Cuからなる厚さ90μmのパンプ下層部52aと、Pdからなる厚さ10μmのパンプ上層部52bを堆積する。2層構造のパンプ電極52が形成される。電解メッキは、図2(B)のパンプ電極12の堆積の場合と同様の方法で行う。

【0079】図7(C)に示すように、フォトレジスト膜50を除去する。フォトレジスト膜50の除去は、図2(B)に示すフォトレジスト膜10の除去と同様の方法で行う。下地導電膜44のうち配線47で覆われていない部分をエッチングする。上層のCu膜用のエッチャントとして、例えば酢酸と過酸化水素水との混合液を用い、下層のCr膜用のエッチャントとして、例えば塩酸希釈液を用いることができる。下層導電膜44の上層のCu膜のエッチング時に、配線47の表面層及びパンプ下層部52aの表面層もややエッチングされるが、これらは、下層導電膜44の厚さに比べて十分厚いため、問題は無い。下地導電膜44が配線47と同一形状にパタ

ーニングされる。

【0080】図7(D)に示すように、基板表面のうちパンプ電極52が形成された領域をマスクし、印刷法により、基板上に絶縁膜54を形成する。絶縁膜54の材料は、例えばエポキシである。このようにして、パッド42とは異なる位置に、当該パッド42に接続されたパンプ電極52が形成される。

【0081】上記第2の実施例による構成では、パンプ電極52が、その周囲を絶縁膜54で支持される。半導体チップを実装基板に搭載した後、半導体チップと実装基板との熱膨張の差に起因する応力により、パンプ電極52が配置された領域において、カバー膜43と下地電極膜44とが剥離する場合がある。パンプ電極52の周囲を絶縁膜54で支持することにより、この剥離を抑制することができる。

【0082】上記第2の実施例では、図7(B)に示すフォトレジスト膜50の厚さを110μmとしたが、その他の厚さとしてもよい。ただし、パンプ52を十分な高さとするために、フォトレジスト膜50の厚さを50μm以上とすることが好ましい。

【0083】パンプ電極52の上面がフォトレジスト膜50の上面よりも高くなると、パンプ電極52の上端が横方向に広がった形状になる。図7(B)に示すように、パンプ電極52の上面がフォトレジスト膜50の上面よりも低くなるように堆積することにより、上端の広がりを防止することができる。

【0084】また、パンプ電極52を、図4(B)と同様に、比較的高融点の金属からなるパンプ下層部と、その上に形成された比較的低融点の金属からなるパンプ上層部とにより構成してもよい。

【0085】上記第2の実施例では、図7(A)に示す下地金属膜44をCrとCuとの2層構造とした場合を説明したが、その他の層構造としてもよい。例えば、Cr、Ti、Mo、もしくはこれらの金属の合金からなる最下層、Cu、Al、Agもしくはこれらの金属の合金またはCrCu合金からなる中間層、及びCr、Pd、Ni、Auもしくはこれらの金属の合金からなる最上層を含む3層構造としてもよい。最下層は、下地表面と中間層との密着性を高める。最上層は、中間層の酸化防止機能を有する。但し、中間層にAgを用いる場合は、Pd、Ni、Auを最上層として用いる。このとき、最上層は、パンプ電極52との密着力を高める機能を有する。

【0086】上記第2の実施例で用いた下地金属膜44の表面に約100nmの間隔をおいて一対の電極を接触させ、ウエハ内の広がり抵抗を測定したところ、約0.5Ωであった。広がり抵抗が大きくなると、図7(B)の工程で電解メッキにより堆積したパンプ電極52の高さが、ウエハ面内で均一にならなくなる。パンプ電極52の高さを均一にするためには、下地金属膜44の上述

の広がり抵抗を0.5Ω以下とすることが好ましい。

【0087】上記第2の実施例では、図7(D)に示すように、パンプ電極52をCuからなるパンプ下層部52aとPdからなるパンプ上層部52bとの2層構造とした場合を説明したが、3層構造としてもよい。例えば、パンプ下層部52aとパンプ上層部52bとの間に、半田に対してパンプ上層部52bよりも拡散バリア性の高い材料からなるパンプ中間部52cを挿入してもよい。

【0088】図8(A)は、パンプ中層部52cを挿入した場合の基板の断面図を示す。パンプ中間層52cは、例えば厚さ1~3μmのNi膜により構成され、パンプ上層部52bは、例えば厚さ0.1~0.7μmのPd膜により構成される。パンプ中層部52c及びパンプ上層部52bは、第2の実施例の図7(B)に示す工程において、パンプ下層部52aを堆積した後、続いてNi膜及びPd膜を電解メッキすることにより形成される。

【0089】Niからなるパンプ中層部52cは、パンプ電極52の上に接合される半田に対する拡散バリア層として機能する。Pdからなるパンプ上層部52bは酸化されにくい材料のため、半田に対する高い濡れ性を維持できる。このため、パンプ電極52の上に半田を接合して実装基板に実装する場合に、半田内におけるボイドの発生を抑制することができ、接合強度を高め、信頼性を向上させることができる。

【0090】また、上記第2の実施例では、図7(D)に示す絶縁膜54を印刷法により形成する場合を説明したが、その他の方法で形成してもよい。

【0091】図8(B)は、絶縁膜54をスピン塗布法を用いて形成した場合を示す。まず、基板全面に有機絶縁材料をスピン塗布し、ベーキングして乾燥させる。その後、パンプ電極52上の余分な絶縁材料を除去することにより、絶縁膜54が形成される。

【0092】この場合には、絶縁膜54がパンプ電極52の表面のうち、頭頂部を除く大部分の領域を被覆する。このため、パンプ電極52を、より強力に支持することができる。

【0093】次に、図9を参照して、第3の実施例による半導体装置の製造方法について説明する。図7(A)に示す配線47を堆積するまでの工程は、上述の第2の実施例の場合と同様である。配線47を堆積した後、フォトリソ膜45を除去する。

【0094】図9(A)に示すように、Cr/Cuの積層構造を有する下地導電膜44のうち配線47で覆われていない部分を除去する。エッチャントは、図7(C)に示す工程で下地導電膜44をエッチングする場合と同様である。下地導電膜44が配線47と同一形状にパターンニングされる。

【0095】図9(B)に示すように、配線47を覆う

ように、基板上にポリイミドからなる厚さ約5μmの絶縁膜60を形成する。配線47の表面の一部を露出させる2つの開口61および62を形成する。開口61内には、後にパンプ電極が形成される。開口62の位置には、後にブロー用パッドが配置される。

【0096】絶縁膜60として感光性のポリイミドを使用する場合は、絶縁膜60を直接露光し、現像することにより開口61及び62を形成することができる。また、絶縁膜60としてアルカリ可溶性のポリイミドを使用する場合は、絶縁膜60の上にフォトリソ膜を塗布し、このフォトリソ膜の露光、現像に続いて、同一の現像液で絶縁膜60をエッチングすることにより、開口61及び62を形成することができる。

【0097】図9(C)に示すように、絶縁膜60の表面及び開口61と62の内面を覆うように、他の下地導電膜63を形成する。他の下地導電膜63は、下層の厚さ150nmのCr膜とその上の厚さ1000nmのCu膜の2層構造を有する。他の下地導電膜63の上にフォトリソ膜64を形成し、開口61に対応する位置に開口65を形成する。他の下地導電膜63を陰極として用い、電解メッキ法により、開口65内にパンプ電極66を堆積する。パンプ電極66は、Cuからなるパンプ下層部66aと、Pdからなるパンプ上層部66bとの2層構造を有する。

【0098】フォトリソ膜64の形成、開口65の形成、パンプ電極66の堆積は、それぞれ図7(B)に示すフォトリソ膜50の形成、開口51の形成、及びパンプ電極52の堆積と同様の方法で行う。

【0099】図9(D)に示すように、フォトリソ膜64を除去し、その後他の下地導電膜63のうちパンプ電極66で覆われていない部分を除去する。開口62の底面に、配線47の表面の一部が露出する。

【0100】図9(D)の半導体装置を図7(D)の半導体装置と比較すると、パンプ電極66と絶縁膜64との界面に他の下地導電膜63が挿入され、配線47の一部が開口62を通して露出している点が異なる。パンプ電極66と絶縁膜64との界面に他の下地導電膜63を挿入することにより、両者の密着性を高め、パンプ電極66を、より強力に支持することができる。また、開口62の底面に露出した配線47の表面を、検査のためのブロー用パッドとして用いることができる。

【0101】図10は、第3の実施例の変形例による半導体装置の断面図を示す。図9(D)に示す半導体装置とは、配線47が下部配線47aと上部配線47bとの2層構造になっている点、及びパンプ電極66がほぼ球状になっている点が異なる。下部配線47aは例えばCuにより形成され、上部配線47bは、例えばPd、Ni、Au等により形成される。パンプ電極66は、例えばSnPb合金で形成される。

【0102】配線47をCu膜1層で構成すると、パン

21

ブ電極66をリフローさせる時に、SnPb合金が、配線47と絶縁膜64との界面に侵入する場合がある。配線47の上層をPd、Ni、またはAuで形成することにより、SnPb合金の侵入を防止することができる。

【0103】検査のためのプローブをSnPb合金のバンパ電極66に接触させると、プローブの先端が汚れてくる。開口62の底面に露出した配線47にプローブを接触させることにより、その先端の汚れを防止することができる。

【0104】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0105】

【発明の効果】以上説明したように、本発明によれば、微細なピッチのバンパ電極を、再現性よく形成することができる。また、バンパ電極をパッドの位置と異なる位置に配置することにより、ワイヤボンディング用のチップとフリップチップボンディング用のチップを共通化することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体装置の製造方法を説明するための基板の断面図（その1）である。

【図2】本発明の第1の実施例による半導体装置の製造方法を説明するための基板の断面図（その2）である。

【図3】本発明の第1の実施例による半導体装置の製造方法を説明するための基板の断面図（その3）である。

【図4】第1の実施例の変形例による半導体装置の断面図である。

【図5】第1の実施例の変形例による半導体装置の製造方法を説明するための基板の断面図である。

【図6】第2の実施例による半導体装置の製造方法で作

22

\* 製した半導体チップのパッドとバンパ電極との配置を示すための概略平面図である。

【図7】本発明の第2の実施例による半導体装置の製造方法を説明するための基板の断面図である。

【図8】第2の実施例の変形例による半導体装置の断面図である。

【図9】本発明の第3の実施例による半導体装置の製造方法を説明するための基板の断面図である。

【図10】第3の実施例の変形例による半導体装置の断面図である。

【図11】従来例による半導体装置の断面図である。

【符号の説明】

1 シリコン基板

2 絶縁膜

3 パッド

4 MOSトランジスタ

5 カバー膜

6 下地電極膜

10 フォトリソグ膜

20 11 開口

12 バンパ電極

30

31、42 パッド

32、52、66 バンパ電極

33 配線

40、47 シリコン基板

41 絶縁膜

43 カバー膜

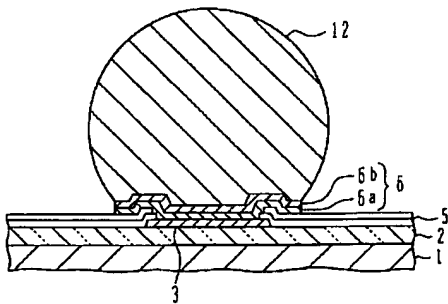
44、63 下地電極膜

45、50、60、64 フォトリソグ膜

46、51、61、62、65 開口

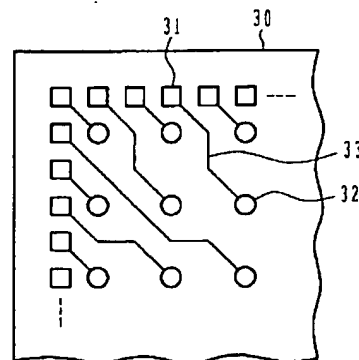
【図3】

第1の実施例（その3）



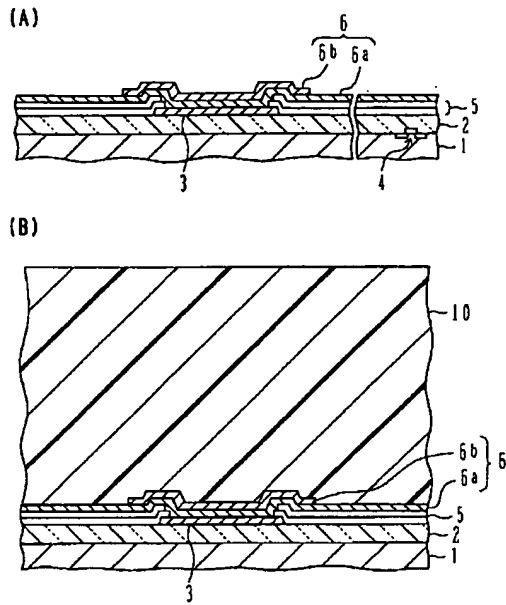
【図6】

第2の実施例による方法で作製した半導体チップ



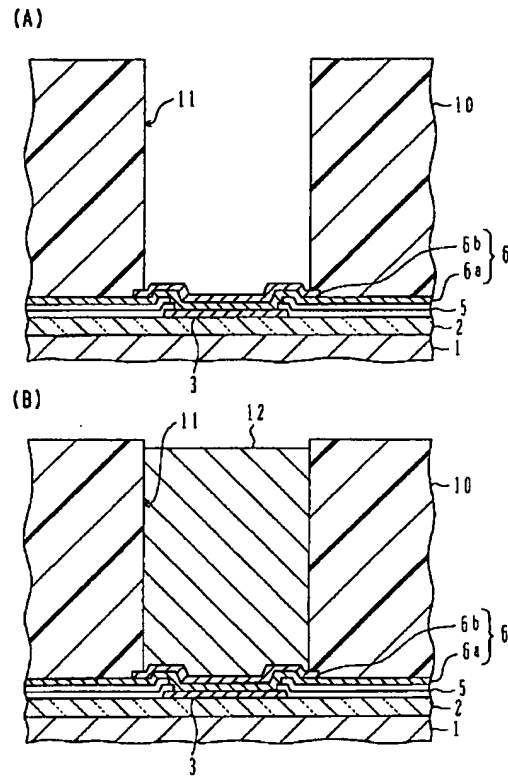
【図1】

第1の実施例(その1)



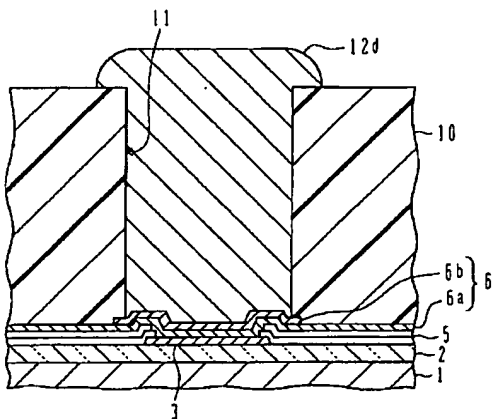
【図2】

第1の実施例(その2)



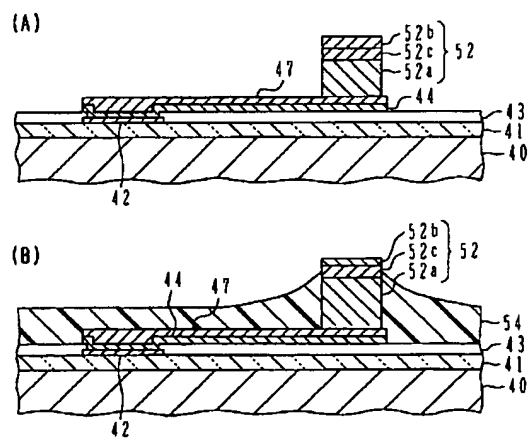
【図5】

第1の実施例の変形例



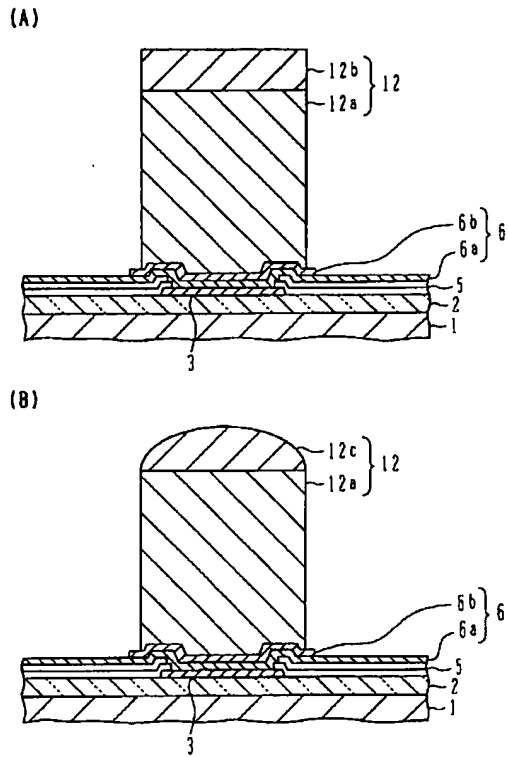
【図8】

第2の実施例の変形例



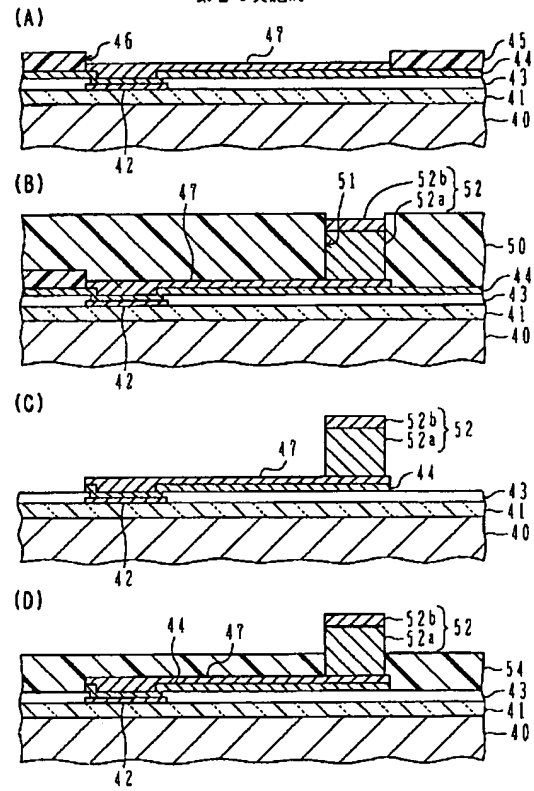
【図4】

第1の実施例の変形例



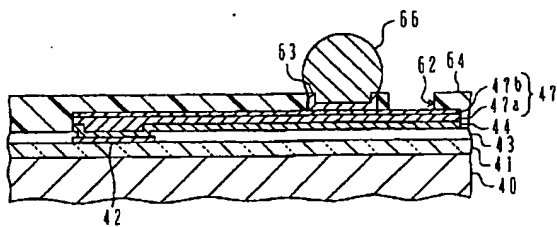
【図7】

第2の実施例

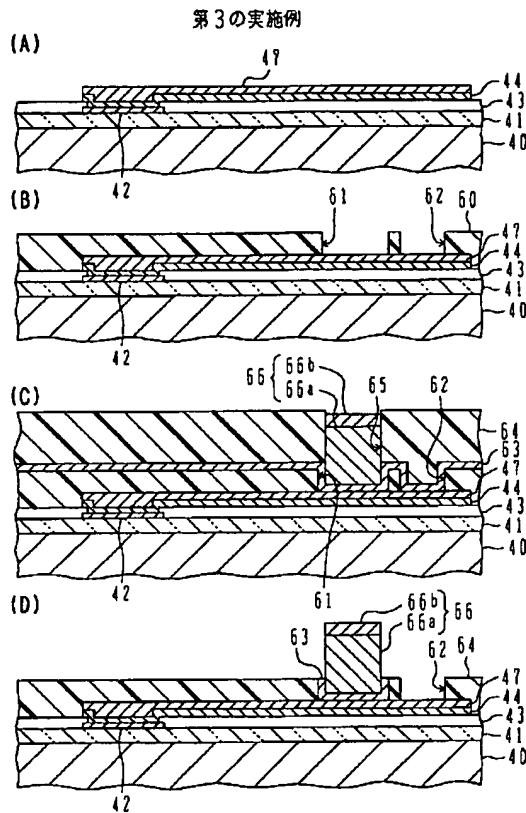


【図10】

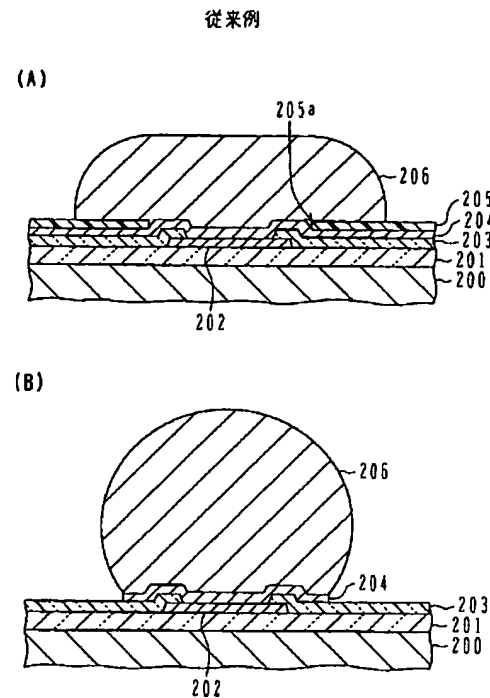
第3の実施例の変形例



【図 9】



【図 11】



## 【手続補正書】

【提出日】平成 10 年 9 月 16 日

## 【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 8

【補正方法】変更

## 【補正内容】

【請求項 8】主表面の一部の領域に導電性材料からなるパッドが露出し、主表面の他の領域が第 1 の絶縁膜で覆われている半導体基板を準備する工程と、前記第 1 の絶縁膜及び前記パッドの上に、下地導電膜を形成する工程と、前記下地導電膜の上に、厚さ  $50\ \mu\text{m}$  以上のフォトリソ膜を形成する工程と、前記フォトリソ膜の前記パッドに対応する位置に、前記下地導電膜の表面を露出させる開口を形成する工程と、前記半導体基板を第 1 の液体中に浸漬させ、該第 1 の液体を減圧雰囲気下におく工程と、前記半導体基板を前記第 1 の液体中から取り出し、メッ

キ液中に浸漬させ、前記開口の底面に露出した前記下地導電膜表面をメッキすることにより、前記開口の底面に露出した前記下地導電膜上に、導電性のパンプ電極を堆積する工程と、

前記フォトリソ膜を除去する工程とを有し、前記第 1 の液体が、前記導電性のパンプ電極を堆積する工程におけるメッキ処理に悪影響を及ぼさない半導体装置の製造方法。

## 【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0100

【補正方法】変更

## 【補正内容】

【0100】図 9 (D) の半導体装置を図 7 (D) の半導体装置と比較すると、パンプ電極 66 と絶縁膜 60 との界面に他の下地導電膜 63 が挿入され、配線 47 の一部が開口 62 を通して露出している点異なる。パンプ電極 66 と絶縁膜 60 との界面に他の下地導電膜 63 を挿入することにより、両者の密着性を高め、パンプ電極



66を、より強力に支持することができる。また、開口62の底面に露出した配線47の表面を、検査のためのプローブ用パッドとして用いることができる。

【手続補正3】

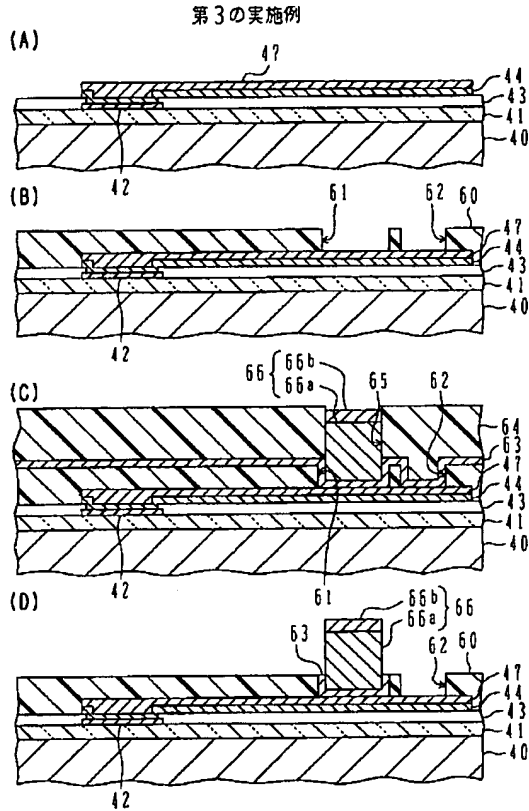
【補正対象書類名】図面

【補正対象項目名】図9

【補正方法】変更

【補正内容】

【図9】



\*

\*【手続補正3】

【補正対象書類名】図面

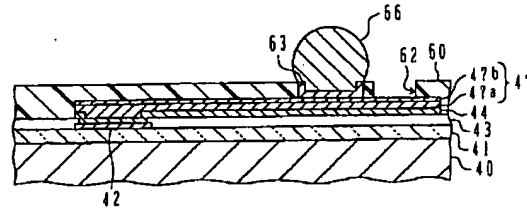
【補正対象項目名】図10

【補正方法】変更

【補正内容】

【図10】

第3の実施例の変形例



フロントページの続き

(72)発明者 門 健一

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 永重 健一

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 小野寺 正徳

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 児玉 邦雄

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 依田 博行

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 藤森 城次

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 仲田 実

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 牧野 豊

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内